

Family list

1 family member for:

JP11326951

Derived from 1 application.

**1 PRODUCTION OF ELECTROOPTICAL DEVICE AND ELECTROOPTICAL
DEVICE**

Publication Info: JP11326951 A - 1999-11-26

Data supplied from the *esp@cenet* database - Worldwide

Best Available Copy

DIALOG(R)File 347-JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

06385305 **Image available**

PRODUCTION OF ELECTROOPTICAL DEVICE AND ELECTROOPTICAL DEVICE

PUB. NO.: 11-326951 [JP 11326951 A]

PUBLISHED: November 26, 1999 (19991126)

INVENTOR(s): MATSUEDA YOJIRO

APPLICANT(s): SEIKO EPSON CORP

APPL NO.: 10-138906 [JP 98138906]

FILED: May 20, 1998 (19980520)

INTL CLASS: G02F-001/136; G02F-001/1345

ABSTRACT

PROBLEM TO BE SOLVED: To produce an electrooptical device incorporated with a driving circuit by using a stepper by performing projection exposure so that plural picture element parts may have a prescribed pitch in a first direction and plural first-direction driving circuit cells may have a second pitch smaller than the first pitch with respect to each block area.

SOLUTION: At the time of reduction projection exposure for each block area, exposure is so performed that plural driver circuit cells provided for respective signal lines through a glass mask 330 may have a prescribed pitch smaller than the picture element pitch in the X direction with respect to a signal line driving circuit. With respect to a scanning line driving circuit, exposure is so performed that plural driver circuit cells provided for respective signal lines through the glass mask 330 may have a prescribed pitch smaller than the picture element pitch in the Y direction. At each time of completion of exposure in one block area, step movement is performed by a stepper 300, and a mother substrate 100 is moved relatively to a light source 310 for exposure to repeatedly expose another block area to light.

COPYRIGHT: (C)1999 JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-326951

(43) 公開日 平成11年(1999)11月26日

(51) Int. Cl.⁶

G 0 2 F 1/136
1/1345

識別記号

5 0 0

F I

G 0 2 F 1/136
1/1345

5 0 0

審査請求 未請求 請求項の数13 OL (全 13 頁)

(21) 出願番号 特願平10-138906

(22) 出願日 平成10年(1998) 5月20日

(71) 出願人 000002389

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 松枝 祥二郎

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

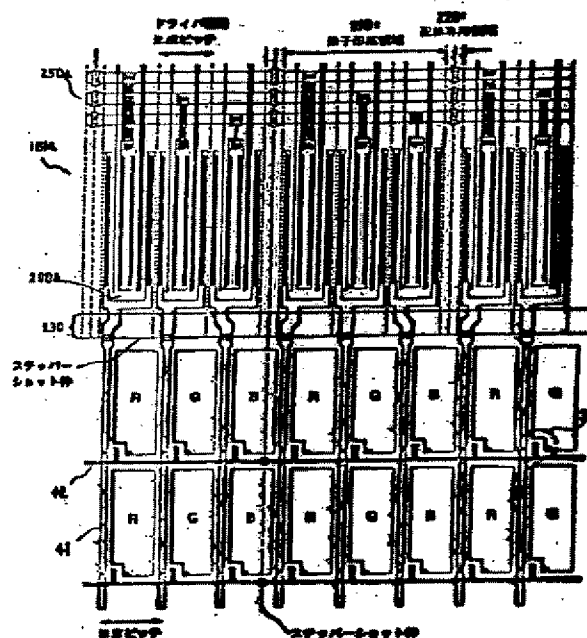
(74) 代理人 弁理士 鈴木 喜三郎 (外2名)

(54) 【発明の名称】 電気光学装置の製造方法及び電気光学装置

(57) 【要約】

【課題】 ステッパーを用いて大型且つ高詳細のドライバ内蔵型のアクティブマトリクス駆動方式の液晶パネル等の電気光学装置を製造する。

【解決手段】 投影露光工程では、フォトリジストが塗布された領域を複数分割してなる所定ブロック領域毎に、複数のドライバ回路セルが画素ピッチよりも小さいピッチを持つように所定パターンのマスクを介して縮小又は等倍の投影露光する。一のブロック領域を露光した後他のブロック領域を露光すべく基板を順次移動させる。



【特許請求の範囲】

【請求項1】 基板上に、第1方向及び該第1方向に交わる第2方向にマトリクス状に配列されている複数の画素部と、該複数の画素部の前記第2方向の配列に対応して前記画素部の周囲に夫々設けられており前記複数の画素部を駆動するための複数の第1方向駆動回路セルとを備えた電気光学装置を製造する電気光学装置の製造方法であって、

前記基板上にパターニングされる薄膜を形成する薄膜形成工程と、

該薄膜上にフォトリソストを形成するフォトリソスト形成工程と、

該フォトリソストが塗布された領域を少なくとも前記第1方向に複数分割してなる所定ブロック領域毎に、前記複数の画素部が前記第1方向に所定第1ピッチを持つように且つ前記複数の第1方向駆動回路セルが前記第1方向に前記所定第1ピッチよりも小さい所定第2ピッチを持つように所定パターンのマスクを介して露光用光源により投影露光する投影露光工程と、

該投影露光工程により一のブロック領域を露光した後に他のブロック領域を露光すべく前記基板を前記露光用光源に対して相対的に順次移動させる移動工程と、

該露光されたフォトリソストを用いて前記薄膜をパターニングすることにより前記複数の画素部及び前記複数の第1方向駆動回路セルを夫々構成する複数の素子を少なくとも部分的に形成する素子形成工程とを含むことを特徴とする電気光学装置の製造方法。

【請求項2】 前記電気光学装置は、前記素子に接続される配線を更に備えており、前記投影露光工程及び移動工程において、前記配線が隣接するブロック領域の境界を跨ぐ継目部分を含むように露光及び移動し、

前記素子形成工程において、前記継目部分を含む前記配線を更に形成することを特徴とする請求項1に記載の電気光学装置の製造方法。

【請求項3】 前記露光工程及び移動工程において、前記境界に前記素子を形成しないように露光及び移動することを特徴とする請求項2に記載の電気光学装置の製造方法。

【請求項4】 前記投影露光工程及び移動工程において、前記継目部分を、前記配線のうち前記継目部分を跨ぐ部分よりも前記境界に沿った方向に幅広に形成するように露光及び移動することを特徴とする請求項2又は3に記載の電気光学装置の製造方法。

【請求項5】 前記電気光学装置は、前記基板上に、前記複数の画素部の前記第1方向の配列に対応して前記画面表示領域の周囲に夫々設けられており前記複数の画素部を駆動するための複数の第2方向駆動回路セルを更に備えており、

前記投影露光工程において、前記フォトリソストが形成

された領域を前記前記第2方向にも複数分割してなる所定ブロック領域毎に、前記複数の画素部が前記第2方向に所定第3ピッチを持つように且つ前記複数の第2方向駆動回路セルが前記第2方向に前記所定第3ピッチよりも小さい所定第4ピッチを持つように露光することを特徴とする請求項1から4のいずれか一項に記載の電気光学装置の製造方法。

【請求項6】 前記投影露光工程及び移動工程において、前記画面表示領域内外の範囲に、前記複数の画素部と前記複数の第1方向駆動回路セルとを相互に夫々接続する複数の配線を含む配線ピッチ変換部を形成するように露光及び移動し、

前記素子形成工程において、前記配線ピッチ変換部を更に形成することを特徴とする請求項1から5のいずれか一項に記載の電気光学装置の製造方法。

【請求項7】 前記投影露光工程により、縮小投影または等倍投影されてなることを特徴とする請求項1から6のいずれか一項に記載の電気光学装置の製造方法。

【請求項8】 前記基板がマザー基板上に複数形成されており、

前記投影露光工程及び移動工程において、前記基板の各々を識別するための識別パターンを前記基板の各々に形成するように露光及び移動し、

前記素子形成工程において、前記識別パターンを更に形成することを特徴とする請求項1から7のいずれか一項に記載の電気光学装置の製造方法。

【請求項9】 前記素子形成工程において、前記素子として薄膜トランジスタを形成することを特徴とする請求項1から8のいずれか一項に記載の電気光学装置の製造方法。

【請求項10】 請求項1から9のいずれか一項に記載の電気光学装置の製造方法により製造されることを特徴とする電気光学装置。

【請求項11】 前記複数の画素部は画素スイッチング用の薄膜トランジスタと画素電極とを含む、前記基板上には前記複数の第1方向駆動回路セルから信号線駆用のドライバ回路が形成されていることを特徴とする請求項10に記載の電気光学装置。

【請求項12】 前記複数の第1方向駆動回路セルは、SC-DAC (Switched Capacitor - Digital to Analog Converter) 回路を含む、外部から入力されるデジタル画像信号を該SC-DACによりアナログ画像信号に変換して前記複数の画素部に供給することを特徴とする請求項10又は11に記載の電気光学装置。

【請求項13】 前記第1方向駆動回路セルは、前記画面表示領域の対向する二辺に夫々沿って前記画面表示領域の周囲に設けられており、二辺の一方の周囲には、前記複数の画素部の前記第2方向の配列のうち奇数番目の配列に対応する前記第1方向駆動回路セルが設けられており、前記二辺の他方の周囲には、前記複数の画素部の

素部の前記第2方向の配列のうち偶数番目の配列に対応する前記第1方向駆動回路セルが設けられていることを特徴とする請求項10から12のいずれか一項に記載の電気光学装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶パネル等の電気光学装置を製造する製造方法及び該電気光学装置の技術分野に属し、特に、投影露光装置（以下、適宜“ステッパー”と称す）を用いて大型且つ高詳細なドライバ内蔵型（画素部とドライバ回路とが同一基板上に作り込まれている）のアクティブマトリクス駆動方式の液晶パネル等の電気光学装置を製造するのに好適な電気光学装置の製造方法の技術分野及びこのように製造される電気光学装置の技術分野に属する。

【0002】

【従来の技術】大規模集積回路（LSI）等の半導体装置を製造する方法の技術分野では、一枚の大型ウエーハ上に同一構成の半導体装置をマトリクス状に多数製造する技術が一般的である。この製造中に、半導体膜、金属膜等の各種薄膜をパターンニングするためにフォトリソが通常行われる。即ち、ステッパーと呼ばれる縮小投影露光装置により、拡大寸法のマスク（レチクル）の縮小像をウエーハ上に投影結像し、1チップ〜数チップ分の露光を同時に行い、ウエーハをステップ移動しながら、この露光を繰り返して行うことによりウエーハ全面を露光する。

【0003】従来、多数の薄膜トランジスタ（以下、適宜“TFT”と称す）を含んで構成されるドライバ内蔵型のTFTアクティブマトリクス駆動方式の液晶パネル等の電気光学装置を製造する場合にも、液晶パネルが対角1インチ程度の小型なものであれば、上述の半導体装置を製造する場合と同様に、ステッパーによる1回の露光によりマザー基板上において1個以上の液晶パネル等を構成することになる基板部分を同時に露光できる。従って、半導体装置の場合と同様に微細化を図ることができ、また、1枚の大型のマザー基板から複数の液晶パネル等の大量生産を効率良く行うこともできる。この場合には特に、ドライバ部を構成する各駆動回路セル（即ち、駆動回路における信号線を駆動する一単位）に至る配線長さや画面表示領域の各画素部に至る配線長さの差により、各駆動回路セルから出力される駆動電圧の差が発生しないように、更に画面表示領域の周囲の狭い領域にドライバ部がコンパクトに収まるように、画面表示領域における画素ピッチとドライバ部における駆動回路セルのピッチとは同一とされる。そして、画面表示領域に配列された複数の信号線各々の一端には、該信号線を駆動するための駆動回路セルが規則正しく接続される。

【0004】このようなステッパーによる投影露光法、投影するために、余り大きな領域を同時に露光する目的には適さない。即ち、同時に露光する領域を大きくするに連れて、露光のスループットが低下し、露光領域内の各点における結像状態や位置合わせも困難となり、露光精度も低下してしまう。このため、実際上は例えば対角10インチ程度の大型の基板上に画素部とドライバ回路とを有する液晶パネル等を製造する際にステッパーを用いることは無い。

【0005】他方で、ステッパーを用いた一括露光として、大型回路を製造する場合には、1回の露光で大型回路となる領域の一部のみを露光し、複数回の露光により一つの大型回路となる全領域を露光する技術がある。この技術では特に、別々に露光される領域間の境界（以下、“露光境界”と称す）において、配線や素子等が切断されないように配慮する必要がある。このため露光境界では、両方の露光領域を露光する（即ち、2回露光する）ことにより、配線や素子等の継目部分を形成するようにしている。なお、このような大型回路の場合には小投影だけでなく、等倍投影も用いられることが多い。

【0006】従って、この技術を利用して液晶パネルを製造する場合にも、当該液晶パネルが大型であってもドライバ内蔵型でなければ、上述のステッパーを用いた一括露光により、配線等について高いデザインールの下で、多くの継目部分を含むようにしつつ当該液晶パネルを製造できる。即ち、液晶パネルの基板上に複雑な素子を含む周辺回路（ドライバ部）を形成する必要が無いため、継目部分が多少存在してもよいデザインールが無くても、後に外付けドライバ回路をTAB（テープ・オートメイテッド・ボンディング）等により接続すれば、ステッパーを用いて実際上問題の少ない大型の液晶パネルを製造できる。

【0007】

【発明が解決しようとする課題】しかしながら、ドライバ内蔵型の液晶パネル等の電気光学装置の場合には、基板上における画面表示領域の周囲に複雑な回路素子を含む駆動回路を形成する必要があるため、液晶パネルを大型化すると、前述のステッパーを用いた製造が困難となってしまふ。ただし、ステッパーを用いた1回の露光により、大型の液晶パネルを1つ構成する基板部分に対応する領域全体を露光できないため、前述の如き継目部分が複数存在せざるを得ないが、このような継目部分を含むように、多数の複雑な回路素子を形成することは実際上困難だからである。次に、アナログ信号を扱うTFT、抵抗、容量等の回路素子を含む比較的複雑な駆動回路を形成する場合、継目部分における薄膜部分のバラツキがこれらの回路素子の特性のバラツキとなるため、従って、このような大型のドライバ内蔵型の液晶パネルを単にステッパーを用いて製造すれば、極めて性能の不安定な低信頼性に欠けるもの

となってしまうという問題点がある。

【0008】他方で、ステッパーを使用することなく、大型のドライバ内蔵型の液晶パネル等をアライナー等を使用して1回の露光により製造する場合には、例えば、 μm 程度が微細化の実践的な意味での限界となってしまう、ステッパーを用いて比較的低コストで実現可能な $1\mu\text{m}$ 程度或いはそれ以下の微細化を行うことができない。従って、TFT等の素子や配線などの微細化により、素子の高速化、配線の低容量化、低消費電力化、高解像度化、装置全体の小型薄型化などを図ることができないという問題点がある。

【0009】本発明は上述した問題点に鑑みなされたものであり、駆動回路を内蔵すると共に高性能且つ大型の電気光学装置をステッパーを使用して製造可能である電気光学装置の製造方法及びこの方法により製造される電気光学装置を提供することを課題とする。

【0010】

【課題を解決するための手段】本発明の電気光学装置の製造方法は上記課題を解決するために、基板上に、第1方向及び該第1方向に交わる第2方向にマトリクス状に配列されてなる複数の画素部と、該複数の画素部の前記第2方向の配列に対応して前記画素部の周囲に夫々設けられており前記複数の画素部を駆動するための複数の第1方向駆動回路セルとを備えた電気光学装置を製造する電気光学装置の製造方法であって、前記基板上にパターンニングされる薄膜を形成する薄膜形成工程と、該薄膜上にフォトリソットを形成するフォトリソット形成工程と、該フォトリソットが形成された領域を少なくとも前記第1方向に複数分割してなる所定ブロック領域毎に、前記複数の画素部が前記第1方向に所定第1ピッチを持つように且つ前記複数の第1方向駆動回路セルが前記第1方向に前記所定第1ピッチよりも小さい所定第2ピッチを持つように所定パターンマスクを介して露光用光源により投影露光する投影露光工程と、該投影露光工程により一のブロック領域を露光した後他のブロック領域を露光すべく前記基板を前記露光用光源に対して相対的に順次移動させる移動工程と、該露光されたフォトリソットを用いて前記薄膜をパターンニングすることにより前記複数の画素部及び前記複数の第1方向駆動回路セルを夫々構成する複数の素子を少なくとも部分的に形成する素子形成工程とを含むことを特徴とする。

【0011】上記本発明によれば、先ず、薄膜形成工程において、基板上にパターンニングされる薄膜が形成され、フォトリソット形成工程において、該薄膜上にフォトリソットが形成される。ここで、投影露光工程においては、露光領域は、少なくとも第1方向に複数分割されてなる所定ブロック領域に予め分割される。そして、このブロック領域毎に、複数の画素部が第1方向に所定第1ピッチを持つように且つ複数の第1方向駆動回路セルが第1方向に所定第1ピッチよりも小さい所定第2ピ

ッチを持つように、所定パターンマスクを介して露光用光源による投影露光が行われる。ここで、投影露光工程により一のブロック領域が露光される度に、移動工程により、露光用光源に対して基板が相対的に順次移動され、他のブロック領域が順次露光される。そして、素子形成工程において、エッチング等により、露光されたフォトリソットを用いて回路がパターンニングされ、複数の画素部及び複数の第1方向駆動回路セルを夫々構成する複数の素子は、少なくとも部分的に形成される。

【0012】従って、複数の第1方向駆動回路セルは、各ブロック領域において画素ピッチたる第1ピッチよりも小さい第2ピッチで形成されるため、各ブロック領域の境界付近には、第1方向駆動回路セルを形成しない領域が発生することになる。このため、第1方向駆動回路セルを構成するTFT、容量、抵抗器等の回路素子、ブロック領域の境界、即ち露光境界を跨るように形成する必要がなくなり、これらの回路素子に接目部分を含ませないで済む。この結果、接目部分における薄膜部分のパラッキがこれらの回路素子の特性のパラッキとなって現われる事態を未然に防止でき、性能が安定しており信頼性の高い第1方向駆動回路セルを形成できる。

【0013】これに加えて、ブロック領域毎に露光を行うので、例えば、対角10インチやそれ以上の大型の電気光学装置であっても、ステッパーを用いて当該投影露光を行うことが可能となる。よって、TFT等の素子や配線などの微細化により、素子の高速化、配線の低容量化、低消費電力化、高解像度化、装置全体の小型薄型化などを図ることが出来る。

【0014】以上の結果、本発明によれば、ステッパー技術を利用して、複数の第1方向駆動回路セルから構成される駆動回路を内蔵すると共に高性能且つ大型の電気光学装置を比較的効率良く且つ低コストで製造できる。

【0015】本発明の電気光学装置の製造方法は、さらに、前記電気光学装置が、前記素子に接続される配線を更に備えており、前記投影露光工程及び移動工程において、前記配線が相隣接するブロック領域の境界を跨ぐ接目部分を含むように露光及び移動し、前記素子形成工程において、前記接目部分を含む前記配線を更に形成することを特徴とする。

【0016】本発明にかかる構成によれば、相隣接するブロック領域の境界を跨ぐ接目部分を含む配線が形成される。ここで、配線は基本的に電気信号を伝達するという単純機能を持つので、断りやリークさえなければ、露光境界に形成される接目部分における薄膜部分のパラッキによる抵抗や容量変化が問題となることは実用上殆ど又は全く無い。そして、この配線により、複数のブロック領域に跨る複数の駆動回路セル間や画素部間を電気的に接続できるので、当該電気光学装置を一つの装置として機能させられる。

【0017】本発明の電気光学装置の製造方法は、さら

に、前記投影露光工程及び移動工程において、前記境界に前記素子を形成しないように露光及び移動することを特徴とする。

【0018】本発明のかかる構成によれば、相隣接するブロック領域の境界には、駆動回路セルや画素部を形成する素子は形成されない。このため、素子に縦目部分を含ませないで済むので、縦目部分における薄膜部分のパラツキがこれらの素子の特性のパラツキとなって現われる事態を確実に未然に防止できる。

【0019】本発明の電気光学装置の製造方法は、さらに、前記投影露光工程及び移動工程において、前記縦目部分を、前記配線のうち前記縦目部分を除く部分よりも前記境界に沿った方向に幅広に形成するように露光及び移動することを特徴とする。

【0020】本発明のかかる構成によれば、縦目部分は、境界に沿った方向に幅広に形成される。従って、ブロック領域に対する露光が境界に沿って多少ずれても、この幅広の縦目部分の広さに応じて縦目部分における電気的接続をとることができる。尚、前述のように配線境界に直交する方向については、従来通りに、両方の露光領域を重ねる（即ち、2重露光する）ことにより、配線や素子等の縦目部分を形成する。従って、ステッパーにおける露光位置精度が多少低くても、配線の電気的接続が良好にとれている限りは問題は生じないので、製造上有利である。

【0021】本発明の電気光学装置の製造方法は、さらに、前記複数の画素部の前記第1方向の配列に対応して前記画面表示領域の周囲に夫々設けられており、前記基板上には前記複数の画素部を駆動するための複数の第2方向駆動回路セルを更に備えており、前記投影露光工程において、前記フォトリソが形成された領域を前記前記第2方向にも複数分割してなる所定ブロック領域毎に、前記複数の画素部が前記第2方向に所定第3ピッチを持つように且つ前記複数の第2方向駆動回路セルが前記第2方向に前記所定第3ピッチよりも小さい所定第4ピッチを持つように露光することを特徴とする。

【0022】本発明のかかる構成によれば、投影露光工程においては、露光領域は、第1方向に加えて第2方向にも複数分割されてなる所定ブロック領域に予め分割される。そして、このブロック領域毎に、複数の画素部が第2方向に所定第3ピッチを持つように且つ複数の第2方向駆動回路セルが第2方向に所定第3ピッチよりも小さい所定第4ピッチを持つように、所定パターンのマスクを介して露光用光源による投影露光が行われる。

【0023】従って、複数の第2方向駆動回路セルは、各ブロック領域において画素ピッチたる第3ピッチよりも小さい第4ピッチで形成されるため、各ブロック領域の境界付近には、第2方向駆動回路セルを形成しない領域が発生することになる。このため、第2方向駆動回路セルを構成するTFT、容量、抵抗器等の回路素子に縦

目部分を含ませないで済む。この結果、縦目部分における薄膜部分のパラツキがこれらの回路素子の特性のパラツキとなって現われる事態を未然に防止でき、性能が安定しており信頼性の高い第2方向駆動回路セルを形成できる。

【0024】本発明の電気光学装置の製造方法は、さらに、前記投影露光工程及び移動工程において、前記画面表示領域内外の境界に、前記複数の画素部と前記複数の第1方向駆動回路セルとを相互に夫々接続する複数の配線を含む配線ピッチ変換部を形成するように露光及び移動し、前記素子形成工程において、前記配線ピッチ変換部を更に形成することを特徴とする。

【0025】本発明のかかる構成によれば、画面表示領域内外の境界に、複数の画素部と複数の第1方向駆動回路セルとを相互に夫々接続する複数の配線を含む配線ピッチ変換部が形成される。従って、画素ピッチと第1方向駆動回路セルのピッチとが相合っていない、両者の電気的接続を配線ピッチ変換部によりとることが出来る。

【0026】本発明の電気光学装置の製造方法は、さらに前記投影露光工程により、縮小投影または等倍投影されてなることを特徴とする本発明のかかる構成によれば、所定のマスクに対応した縮小または等倍の投影をマスクに行うことができる。

【0027】本発明の電気光学装置の製造方法は、さらに前記基板がマザー基板上に複数形成されてなり、前記投影露光工程及び移動工程において、前記基板の各々を識別するための識別パターンを前記基板の各々に形成するように露光及び移動し、前記素子形成工程において、前記識別パターンを更に形成することを特徴とする。

【0028】本発明のかかる構成によれば、マザー基板上で複数の基板が順次露光されると共に、各々の基板には、識別パターンが形成されるので、一枚の大型のマザー基板を用いてステッパーにより当該電気光学装置を大量生産をする際に便利である。

【0029】本発明の電気光学装置の製造方法は、さらに前記素子形成工程において、前記素子としてPMTトランジスタを形成することを特徴とする。

【0030】本発明のかかる構成によれば、第1方向駆動回路セルや画素部の素子として、PMTトランジスタが形成される。従って、基板上に同じ膜形成を有するPMTトランジスタを用いて駆動回路及び画素部を形成できるので、製造上有利である。

【0031】本発明の電気光学装置は、上述の電気光学装置の製造方法により製造されることを特徴とする。

【0032】本発明のかかる構成によれば、上述した本発明の製造方法により製造されるため、駆動回路を内蔵した電気光学装置において、大型化を図りつつ性能を高めることが可能となる。

【0033】本発明の電気光学装置は、さらに前記複数の

の画素部は画素スイッチング用の薄膜トランジスタを夫々含み、前記基板上に前記複数の第1方向駆動回路セルから信号線駆動用のドライバ回路が構成されていることを特徴とする。

【0034】本発明のかかる構成によれば、信号線駆動用の駆動回路を画素部と同一基板上に形成したアクティブマトリクス駆動方式の液晶装置において、大型化を図りつつ性能を高めることが可能となる。

【0035】本発明の電気光学装置は、さらに、前記複数の第1方向駆動回路セルは、SC-DAC (Switched Capacitor - Digital to Analog Converter: スイッチ制御コンデンサ型DAコンバータ) 回路を夫々含み、外部から入力されるデジタル画像信号を該SC-DACによりアナログ画像信号に変換して前記複数の画素部に供給することを特徴とする。

【0036】本発明のかかる構成によれば、SC-DAC回路を夫々含む第1方向駆動回路セルからなる駆動回路を内蔵した電気光学装置において、大型化を図りつつ性能を高めることが可能となる。特に、SC-DAC回路を構成する、例えば容量やTFT等の素子は、露光境界における雜目部分を含まないため、雜目部分のバラツキに影響されない。この結果、デジタル画像信号を高解像度でアナログ画像信号に変換でき、このアナログ画像信号を用いて画素部を駆動することにより、高品位の階調表示等を実現できる。

【0037】本発明の電気光学装置は、さらに、前記第1方向駆動回路セルは、前記画面表示領域の対向する二辺に夫々沿って前記画面表示領域の周囲に設けられており、該二辺の一方の周囲には、前記複数の画素部の前記第2方向の配列のうち奇数番目の配列に対応する前記第1方向駆動回路セルが設けられており、前記二辺の他方の周囲には、前記複数の画素部の前記第2方向の配列のうち偶数番目の配列に対応する前記第1方向駆動回路セルが設けられていることを特徴とする。

【0038】本発明のかかる構成によれば、第1方向駆動回路セルは、例えば、画面表示領域の上側の周辺領域及び下側の周辺領域に半分ずつ設けられるので、まとめて一方の辺に沿って設ける場合と比較して第1方向駆動回路セルの形成ピッチを約半分にすることができ、その分余裕を持って当該第1方向駆動回路セルを形成できると共に、画面表示領域の周辺領域をバランス良く有効利用することも可能となる。

【0039】本発明のこのような作用及び他の利得は次に説明する実施の形態から明かにする。

【0040】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて説明する。

【0041】(液晶装置の全体構成) 先ず、本発明の製造方法により製造される電気光学装置の一例として、TFTアクティブマトリクス駆動型且つドライバ内蔵型の

液晶装置の全体構成について図1から図3を参照して説明する。ここに、図1は、液晶装置の回路構成を示すブロック図であり、図2は、液晶装置の平面図であり、図3は、図2のH-H'断面図である。

【0042】図1において、液晶装置を構成するTFTアレイ基板100上の中央に位置する画面表示領域には、X方向に配列された複数の信号線41と、Y方向に配列された複数の走査線42と、画素スイッチング用のTFT30及び画素電極40を夫々含むマトリクス状に配置された画素部とが設けられている。画面表示領域の周囲には、信号線駆動回路101及び走査線駆動回路102が設けられている。

【0043】信号線駆動回路101は、各信号線41に対応して夫々設けられた複数の第1方向駆動回路セルの一例として、SC-DAC回路からなる複数のドライバ回路セル200を備えており、これらのドライバ回路セル200に転送信号を順次出力するシフトレジスタ回路10を更に備えて構成されている。ドライバ回路セル200は、例えば、6ビット、8ビット等のデジタル画像信号が入力されると、シフトレジスタ回路10からの転送信号のタイミングに応じてラッチした、SC-DAC回路により各デジタル画像信号のビット値が示す階調に対応するアナログ画像信号を各信号線41に供給する。

尚、このようなSC-DAC回路は、並列接続された複数の容量をTFT等のスイッチにより選択的に信号線41に接続することにより基準電圧を用いたチャージシェア或いはチャージポンプによりデジタル画像信号のビット値に応じた電圧を生成するように構成された公知のDAC回路である。

【0044】他方、走査線駆動回路101は、走査線を所定タイミングで走査線42に供給するように構成されている。

【0045】尚、後述のようにドライバ回路セル200のX方向のピッチは、所定ブロック領域毎に画素ピッチよりも小さく設定されている。

【0046】図2及び図3において、TFTアレイ基板100の上には、液晶50を封入するためのシール材52がその縁に沿って設けられており、その内側に設けられて、画面表示領域の輪郭を規定する透光性の周辺見切り53が設けられている。TFTアレイ基板100上におけるシール材52の外側の領域には、図1に示した信号線駆動回路101及び走査線駆動回路102が、実装部、配線等と共に設けられている。尚、後述のように信号線駆動回路101を画面表示領域の上下に分割して設けてもよい。

【0047】TFTアレイ基板100及び対向基板20間には、シール材52により液晶50が封入されている。また、対向基板20のコーナ部少なくとも1箇所においては、TFTアレイ基板100と対向基板20との間で電氣的導通をとるための導通材からなる假線1

06が設けられている。

【0048】(液晶装置の製造方法)次に以上のような全体構成を有する液晶装置の製造方法を図4から図7を参照して説明する。ここに、図4は、本実施の形態における製造方法の特徴的な工程である投影露光工程におけるステッパーに用いるガラスマスク上のセルの配置図であり、図5は、ステッパーにより図4のガラスマスクを用いた投影露光工程を示す概念図、図6は、図5のステッパーにより図4に対応してマザー基板上に焼き付けられるセルの配置図である。また、図7(a)はマザー基板から切り離した1個の液晶装置に対応する1個のTFTアレイ基板におけるセル配置図であり、図7(b)は、図7(a)のTFTアレイ基板から構成される液晶装置の平面図である。

【0049】以下に、本実施の形態における製造方法を順を追って説明する。

【0050】先ず、薄膜形成工程では、ガラス基板、シリコン基板、石英基板等の公知の基板上に直接或いは必要に応じて下地膜としての絶縁膜を介して、画素部や駆動回路のTFT、容量、抵抗器等の回路素子や配線などに対応する所定パターンにパターニングすべき半導体膜、ポリシリコン膜、金属膜等の薄膜がCVD (Chemical Vapor Deposition) 等の公知技術により形成される。

【0051】その後、フォトリソist塗布工程では、以上のように形成された薄膜上に、ポジ型又はネガ型の公知のフォトリソistが塗布される。

【0052】ここで、本実施の形態では特に、縮小投影露光工程において、ステッパーによる一回の露光(ステッパーショット)で露光される露光領域は、X方向及びY方向に複数の所定ブロック領域に予め分割されている。このようなステッパーによる縮小投影露光のために、例えば、図4に示したセル配置を持つガラスマスク(レチクル)330が用意される。ガラスマスク330は、ソーダガラス、低膨張ガラス、石英ガラス等の公知の材料からなり、その透光部331には、クロムなどの金属膜が形成されている。また、図4には、露光性能保証範囲が、円で示されている。

【0053】図4において、ガラスマスク330は、マザー基板上で画素部を形成するためのブロック領域CGSOを、該画素部を構成する回路素子、配線等に対応する所定パターンで露光するためのマスク領域CGSO'が設けられている。マスク領域CGSO'の上下には、マザー基板上で信号線駆動回路を形成するためのブロック領域CXTL、CXTL'、CXBL及びCXBRを、該信号線駆動回路を構成する回路素子、配線等に対応する所定パターンで露光するためのマスク領域CXTL'、CXTL'、CXBL'及びCXBR'が設けられている。マスク領域CGSO'の左右には、マザー基板上で走査線駆動回路を形成するためのブロック領域C

YTL、CYTR、CYBL及びCYBRを、該走査線駆動回路を構成する回路素子、配線等に対応する所定パターンで露光するためのマスク領域CYTL'、CYTR'、CYBL'及びCYBR'が設けられている。更に、マザー基板に複数形成されたTFTアレイ基板の各々を該マザー基板から切り離す際に各TFTアレイ基板から切り離されるマザー基板の周辺部分において、各□のテストパターン、静電破壊防止用パターンなどの付加的配線等を形成するためのブロック領域BT、BL、BB、BR、BT'、BTL、BBL、BTSL、BTSR、BBSL及びBBSRを、該付加的配線等に対応する所定パターンで露光するためのマスク領域BT'、BL'、BB'、BR'、BT'、BT'、BT'、BTL'、BBL'、BTSL'、BTSR'、BBSL'及びBBSR'が設けられている。更に、露光時の位置合わせ用マークRPAMKが、ガラスマスク330の4角に近い露光性能保証範囲に4個設けられている。

【0054】以上のように形成されたガラスマスク330は、図5に示すようにステッパー300にセットされる。そして、ガラスマスク330には、露光用光□310から発せられコリメータレンズ320により平行光とされた光が入射される。ステッパー300では、ガラスマスク330の透光パターンに応じた縮小像を、縮小投影レンズ系340を介して、マザー基板100'上に伝布されたフォトリソist350の上に投影結像する。そして、特に上述した各種のブロック領域毎に露光(ステッパーショット)を行い、マザー基板100'をステッパ移動しながら、この露光を繰り返して行うことによりマザー基板100'上のフォトリソist全面を露光する。

【0055】本実施の形態では、図4に示したガラスマスク330及び図5に示したステッパー300を用いて縮小投影露光を行い、例えば図6に示すように、一位のマザー基板100'には6つのTFTアレイ基板100が形成される。

【0056】更に、図7(a)に示すように、各TFTアレイ基板100における画面表示領域は、4つのブロック領域CGSOに分割されており、4回のステッパーショットにより露光される。また、信号線駆動回路が形成される領域は、4つのブロック領域CXTL、CXTL'、CXBL及びCXBRに分割されており、4回のステッパーショットにより露光される。更にまた、走査線駆動回路が形成される領域は、2つのブロック領域CYTL及びCYBLに分割されており、2回のステッパーショットにより露光される。そして、各ブロック領域の境界には、後述のように回路素子が形成されることなく配線のみが形成され、各ブロック領域の境界(即ち、□光境界)における各配線の寸断を防止するために、各ブロック領域の境界は2重露光される。

【0057】尚、図7(b)に示した例では、走査線駆動回路102は、画面表示領域の左側にのみ形成されているが、特に信号線駆動回路101b、101b'は、画面表示領域の上下に分割して形成されている。より具体的には偶数番目の信号線を駆動するドライバ回路セルが全て下側に配置されており、奇数番目の信号線を駆動するドライバ回路セルが全て上側に配置されている（この構成については、後に詳述する）。但し、信号線駆動回路を上側又は下側のみに形成してもよいし、走査線駆動回路を左右に分割して形成してもよい。

【0058】本実施の形態では特に、以上のように構成されたガラスマスク330を用いてブロック領域毎に縮小投影露光を行う際に、信号線駆動回路については、図4に示したガラスマスク330を介して、信号線毎に設けられた複数のドライバ回路セルがX方向に画素ピッチよりも小さい所定ピッチを持つように当該露光が行われる。また、走査線駆動回路については、図4に示したガラスマスク330を介して、走査線毎に設けられた複数のドライバ回路セルがY方向に画素ピッチよりも小さい所定ピッチを持つように当該露光が行われる。このようにして一のブロック領域における露光が完了する度に、図5において、ステッパー300によるステップ移動が行われて、露光用光源910に対してマザー基板100'が相対的に移動され、他のブロック領域が繰り返して露光される。この繰り返しにより、図4に示した1枚のガラスマスク330を用いて、図6に示したようなブロック毎の露光を順次行うことが可能となる。

【0059】そして、素子形成工程においては、ドライエッチング、ウェットエッチング、フォトリソ除去等により、露光されたフォトリソ350を用いて前述の半導体膜、ポリシリコン膜、金属膜等の薄膜が、形成すべき素子に対応するパターンで、パターニングされる。これにより、複数の画素部及びドライバ回路セルを夫々構成するTFT、容量、抵抗器等の回路素子が少なくとも部分的に形成される。以上により、例えば、単一層構造を有する抵抗等の回路素子や配線であれば完成し、また積層構造を持つTFT、容量等の回路素子であれば、必要に応じて層間絶縁膜等やコンタクトホールを形成しつつ、上記薄膜形成工程から素子形成工程までを素子の積層構造に応じて複数回行うことにより、素子部完成する。

【0060】以上の結果、本実施の形態によれば、信号線駆動回路を構成する複数のドライバ回路セルは、各ブロック領域CXTL、CXTR等においてX方向の画素ピッチよりも小さいピッチで形成される。

【0061】すると、図6及び図7(a)において、各ブロック領域CXTL、CXTR、CXBL及びCXBR各々の内部における境界近傍には、ドライバ回路セルを形成しない領域が発生することになる。好ましくは、ドライバ回路セルを各ブロック領域においてX方向に

いての中央に寄せることにより、各ブロック領域CXTL、CXTR等の各々における左右両側の境界近傍で、ドライバ回路セルを形成しない領域が発生するようにする。

【0062】従って、ドライバ回路セルを構成するTFT、容量、抵抗器等の回路素子、ブロック領域CXTL、CXTR等の境界、即ち露光境界を跨るように形成する必要がなくなり、これらの回路素子に縫目部分を含ませないで済む。ここで一般の場合、露光境界の縫目部分には、配線や素子の寸断を防止するための2重露光に起因して、パターン寸法にバラツキが生じるが、本実施の形態の場合、このような縫目部分におけるパターン寸法のバラツキがこれらの回路素子の特性のバラツキとなって現われる事態を未然に防止できる。

【0063】以上の結果、性能が安定しており信頼性の高いドライバ回路セルから信号線駆動回路を形成できる。

【0064】他方、走査線駆動回路を構成する複数のドライバ回路セルは、各ブロック領域CYTL、CYBLにおいてY方向の画素ピッチよりも小さいピッチで形成される。従って、信号線駆動回路の場合と同様に、各ブロック領域CYTL、CYTRの境界近傍には、ドライバ回路セルを形成しない領域が発生する。ドライバ回路セルを構成するTFT、容量、抵抗器等の回路素子に縫目部分を含ませないで済む。この結果、性能が安定しており信頼性の高いドライバ回路セルから走査線駆動回路を形成できる。

【0065】これらに加えて、本実施の形態では、ステッパーを用いてブロック領域毎に露光を行うので、例えば、対角10インチやそれ以上の大型の電気光学装置であっても、ステッパーを用いて当該縮小投影露光を行うことが可能となる。即ち、ブロック領域の数を増加させれば、マザー基板100'上で任意の大きさのTFTアレイ基板100を露光することも可能となるし、また、マザー基板100'の大きさを大きくしてもよい。従って、ステッパーの有する利点である、回路素子や配線などの微細化、大型の液晶装置においても生かすことができ、回路素子の高速化、配線の低容量化、低消費電力化、高解像度化、装置全体の小型軽量化などを図ることができ。

【0066】以上の結果、本実施の形態の製造方法によれば、ステッパー技術を利用して、複数のドライバ回路セルから構成される信号線駆動回路及び走査線駆動回路を内蔵すると共に高性能且つ大型の電気光学装置を比較的効率的且つ低コストで製造できる。

【0067】尚、本実施の形態では特に、図4に示したように、マザー基板100'上に複数形成されるTFTアレイ基板100（図6参照）の各々を区別するための識別パターンの一例として、例えばアルファベットA、B、C、…や数字1、2、3、…からなるチップ名が入

用パターンがガラスマスク330に形成されており、このガラスマスク330を用いて縮小投影露光を行うことにより、図6及び図7に示したように、各基板にチップ名識別パターンを焼き付けることができる。特にA1、A2、…といった具合に、文字や数字を組み合わせてチップ名とすれば、同一マザー基板100'上に数十枚のTFTアレイ基板100を焼き付ける場合にも、各TFTアレイ基板100に固有のチップ名を付けることが可能となる。従って、大型のマザー基板を用いてステッパーにより当該電気光学装置を大量生産をする際に大変便利である。

【0068】(液晶装置の細部構成)次に以上のように製造された液晶装置の細部構成について図9及び図10を参照して説明する。ここに、図9は、信号線駆動回路のドライバ回路セルを画面表示領域の上側にのみ形成した場合の信号線駆動回路及び画素部の部分的な拡大平面図であり、図10は、信号線駆動回路のドライバ回路セルを画面表示領域の上下両側に分割形成した場合の信号線駆動回路及び画素部の部分的な拡大平面図である。

【0069】先ず、図9を参照して、以上説明した製造方法により製造される液晶装置の細部構成の一例について説明する。

【0070】図9において、信号線駆動回路101aの複数のドライバ回路セル200aは、信号線41毎に設けられている。各々の信号線41は、RGBのカラーフィルタが夫々設けられた各画素のTFTのソース又はドレインに接続されている。各ドライバ回路セル200aは、X方向に沿って延びる画像信号線250aを介して入力されるデジタル画像信号を、該デジタル画像信号の示す階調に応じた駆動電圧を持つアナログ画像信号に変換して各信号線41に供給するように構成されている。

【0071】ここで本実施の形態では特に、ドライバ回路セル200aの形成ピッチは、X方向についての画素ピッチよりも、例えば数パーセント程度小さく設定されているので、各ブロック領域内において中央側の大部分が素子形成領域210とされると共に、各ブロック領域の境界近傍が配線専用領域220とされる。そして、駆動回路部における配線専用領域220には、ドライバ回路セル200aは設けられることなく、画像信号線250aのみが設けられている。

【0072】即ち、本実施の形態では、投影露光により、画像信号配線250aは、各ブロック領域の境界を跨ぐ縦目部分を含むように形成されている。画像信号線250aは金属膜や導電性ポリシリコン膜等からなり、基本的に電気信号を伝達するという単純機能を果たせばよいので、断線やリークさえなければ、この縦目部分における薄膜部分のバラツキによる抵抗や容量変化が問題となることは実用上殆ど又は全く無い。そして、画像信号線250aが露光境界(ブロック領域の境界)を跨ってX方向に延びることにより、複数のブロック領域に跨

る複数のドライバ回路セル200a間を電気的接続で与る。同様に、画素部において、金属膜や導電性ポリシリコン膜等から構成される信号線41や走査線42についても、露光境界では、縦目部分を介して接続されており、画素部のTFT30が縦目部分を含むことはない。この結果、当該電気光学装置を一つの装置として機能させられる。

【0073】そして、このように配線専用領域220において、TFT、容量、抵抗器等の回路素子に縦目部分を含ませないで済むので、縦目部分における薄膜部分のバラツキがこれらの素子の特性のバラツキとなって現われる事態を確実に未然に防止できるのである。

【0074】また本実施の形態では特に、図8に示すように、配線専用領域220において、上述の投影露光により画像信号線250aの縦目部分が幅広に形成されている。従って、ブロック領域に対する露光が境界に陥って多少ずれても、この幅広の縦目部分の広さに応じて縦目部分における電気的接続を良好にとることが出来る。他方、前述のように露光境界に直交する方向については、従来通りに、両方の露光領域を占める(即ち、2回露光する)ことにより、画像信号線250aの縦目部分が形成されている。従って、ステッパーにおける露光位置精度が多少低くても、画像信号線250aの電気的接続が良好にとれる限りは問題は生じないので、製造上大変有利である。また、ブロック領域の境界における信号線41や走査線42の縦目部分についても同様に幅広に且つ2重露光により形成されている。

【0075】また図9に示すように、本実施の形態では特に、前述の等倍投影露光により、画面表示領域内外の境界に、信号線41のピッチを画素ピッチからドライバ回路セル200aの形成ピッチに変換する配線ピッチ変換部230が形成されている。このため、画素ピッチとドライバ回路セル200aの形成ピッチとが相違しているとしても、両者間の電気的接続を配線ピッチ変換部により良好にとることが出来る。

【0076】尚、本実施の形態では好ましくは、信号線駆動回路101aを構成するスイッチング素子、走査線駆動回路を構成するスイッチング素子及び画素部を構成するスイッチング素子を、同一形成を持つ同一トランジスタから構成する。このようすれば、同一のTFTアレイ基板100上に同一製造工程で駆動回路及び画素部を形成できるので、製造上有利である。

【0077】次に、図10を参照して、以上説明した製造方法により製造される液晶装置の細部構成の他の例について説明する。

【0078】図10において、信号線駆動回路101b及び101b'は、画面表示領域の上下に分割して設けられており、上側の信号線駆動回路101bを構成するドライバ回路セル200bは、奇数番目の信号線41に夫々接続されており、下側の信号線駆動回路101b'

を構成するドライバ回路セル200b'は、偶数番目の信号線41に夫々接続されている。各々の信号線41は、RGBのカラーフィルタが設けられた各画素のTFTのソース又はドレインに接続されている。各ドライバ回路セル200b、200b'は、図9に示した例の場合と同様に、画像信号線250aを介して入力されるデジタル画像信号を、該デジタル画像信号の示す階調に応じた駆動電圧を持つアナログ画像信号に変換して各信号線41に供給するように構成されている。

【0079】ここで、本実施の形態では特に、ドライバ回路セル200b、200b'の形成ピッチは、画素ピッチよりも、例えば数パーセント程度小さい。より具体的には、片側のドライバ回路セル200b又は200b'の形成ピッチは夫々、画素ピッチの2倍よりも数パーセント程度小さい（即ち、画素ピッチDpとドライバ回路セル200b又は200b'の形成ピッチDdとは、 $Dd < 2 \cdot Dp$ という関係が成立している）ので、各ブロック領域内において中央側の大部分が素子形成領域210とされると共に、各ブロック領域の境界近傍が配線専用領域220とされる。そして、駆動回路部における配線専用領域220には、ドライバ回路セル200b、200b'は設けられることはなく、X方向に延びる画像信号線250bのみが設けられている。

【0080】即ち、本実施の形態では図9に示した例の場合と同様に、ドライバ回路セル200b、200b'や画素部を構成する回路素子に縦目部分を含ませないで済むので、縦目部分における薄膜部分のバラツキがこれらの回路素子の特性のバラツキとなって現われる事態を確実に未然に防止できる。

【0081】これに加えて図10に示した例では、上下に分割された各信号線駆動回路101b、101b'が相互に入り組んで配置されることにより、全体としてコンパクトな構成となっている。即ち、信号線駆動回路101b、101b'を分割したことにより、各信号線駆動回路を構成する素子の数が1/2となり、一つにまとめてこれらの回路を夫々形成する場合と比較して、各回路による占有面積が夫々減り、各回路について余裕を持った素子の配置や配線が可能となる。特に中央に画像表示領域があると共にその上下に周辺領域がある液晶パネル等の電気光学パネルに対しては、当該上下の周辺領域にバランス良く余裕を持った素子の配置や配線が可能となる。また、このように分割することは、回路の均等配置を可能ならしめるものであり、TFTアレイ基板上におけるデッドスペースの有効利用を図れる。例えば、液晶パネルの場合、前述のシール材直下にあるデッドスペースを活用できる（図2及び図3参照）。即ち、シール材は、基板に余分な応力を与えないように基板の周囲に均等の幅で接するように設けられているので、回路を分割して各回路の素子数を低減して、各回路をシール材直下の領域の形状に合わせて均等に配置すればよい。そし

て、この種の液晶パネルのように画素ピッチにより走査線に沿った一方について回路素子のピッチが特に制約を受ける場合には、本実施の形態は有効である。更に、信号線駆動回路を含むシフトレジスタ回路（図1参照）の段数が、図9に示した例の場合と比較して半分になるため、動作周波数も1/2になり、回路設計上有利である。

【0082】尚、本実施の形態において、ドライバ回路セル200b、200b'を構成するDAコンバータとしては、前述のようにSC-DAC（Switched Capacitor-Digital to Analog Converter）回路が好ましい。このように構成すれば、SC-DAC回路を構成する、例えば容量やTFT等の素子は、露光境界における縦目部分を含まないため、縦目部分のバラツキに影響されない。特に、基板上に作り込まれる容量におけるバラツキを低減することはSC-DAC回路の出力電圧の精度を向上するのに役立つので、上述した本実施の形態の効果が顕著に発揮される。この結果、デジタル画像信号を高精度でアナログ画像信号に変換でき、このアナログ画像信号を用いて画素部を駆動することにより、高品位の画像表示等を実現できる。尚、SC-DAC回路以外のDAコンバータを用いて信号線駆動回路を構成しても、上述した本実施の形態の効果は発揮される。また、本実施の形態では、縮小投影について説明されているが、縮小投影に限らず、等倍投影についても同様な構成及び効果が得られることは言うまでもない。

【0083】以上のように本実施の形態の液晶装置によれば、上述した製造方法により製造されるため、駆動回路を内蔵した液晶装置において、大型化を限りつつ性能を高めることが可能となる。

【0084】

【発明の効果】以上詳細に説明したように本発明によれば、ステッパー技術を利用して、縦目の第1方向駆動回路セルから構成される駆動回路を内蔵すると共に高性能且つ大型の電気光学装置を比較的効率的且つ低コストで製造できる。

【図面の簡単な説明】

【図1】本発明による液晶装置の実施の形態における全体回路構成を示すブロック図である。

【図2】液晶装置の実施の形態における全体構成を示す平面図である。

【図3】図2のH-H'断面図である。

【図4】本発明による製造方法の実施の形態におけるステッパーに用いられるガラスマスクのセルの配置図である。

【図5】製造方法の実施の形態における、ステッパーを使用した投影露光工程の概念図である。

【図6】図5のステッパーにより図4に対応してマザー基板上に焼き付けられるセルの配置図である。

【図7】マザー基板から切り出した1個の液晶装置に對

応する1個のTFTアレイ基板におけるセルの配置図
(図7(a))及び、図7(a)のTFTアレイ基板から構成される液晶装置の平面図(図7(b))である。

【図8】本発明による液晶装置の細部構成の一例を示す部分拡大平面図である。

【図9】本発明による液晶装置の細部構成の他の例を示す部分拡大平面図である。

【符号の説明】

10…シフトレジスタ回路

20…対向基板

30…TFT

40…画素電極

41…信号線

42…走査線

100…TFTアレイ基板

100'…マザー基板

101…信号線駆動回路

102…走査線駆動回路

200…ドライバ回路セル

210…素子形成領域

220…配線専用領域

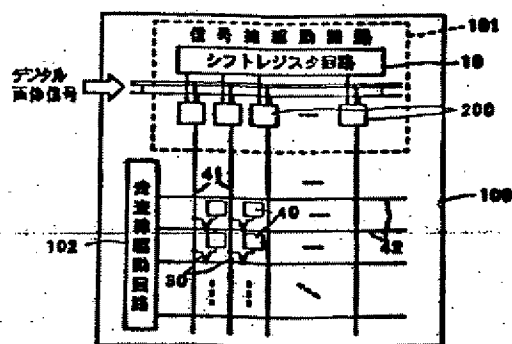
230…配線ピッチ変換領域

300…ステッパー

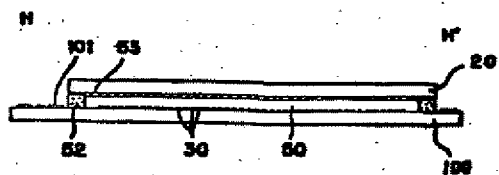
310…露光用光源

330…ガラスマスク

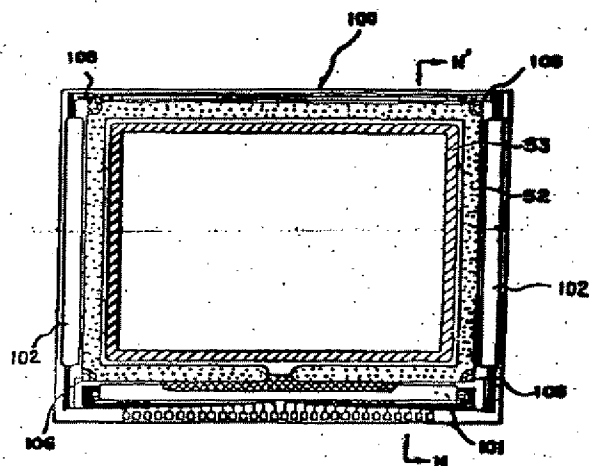
【図1】



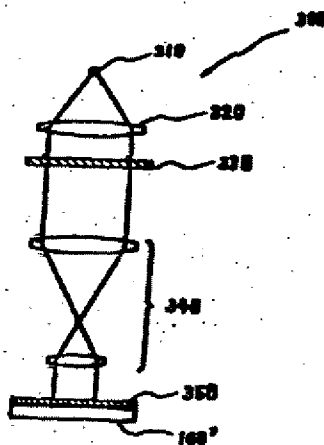
【図3】



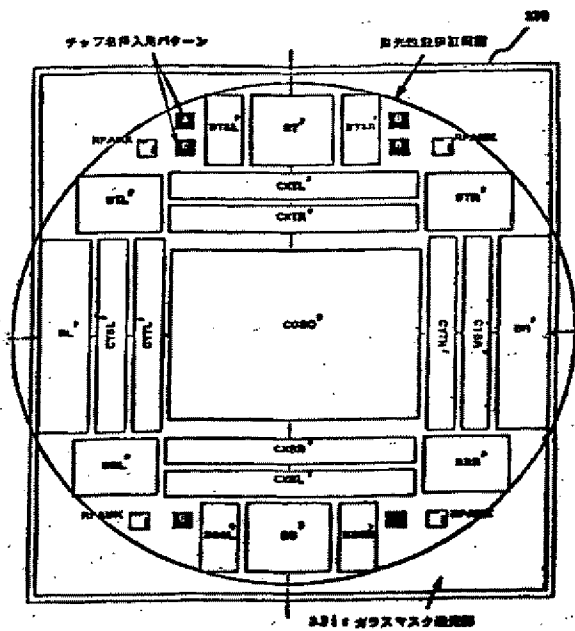
【図2】



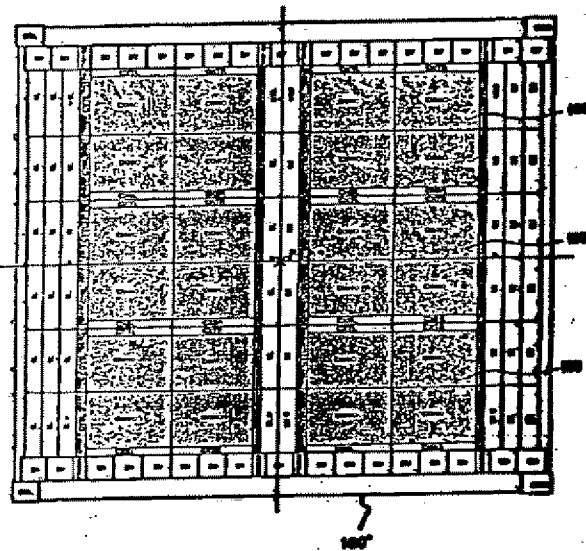
【図5】



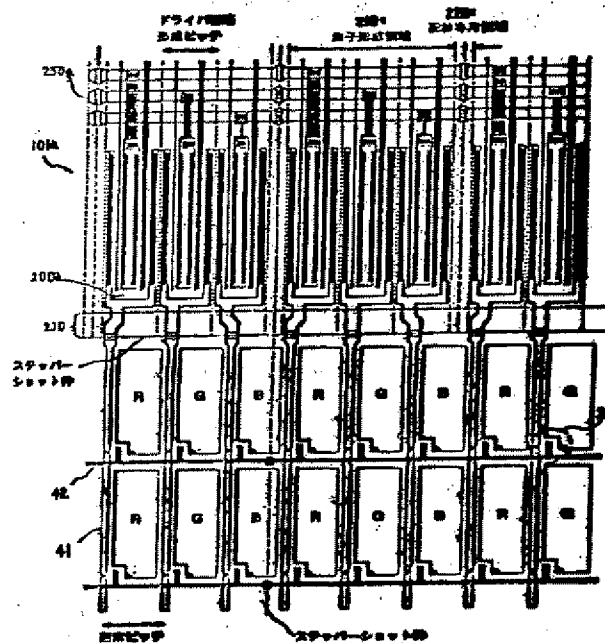
【图4】



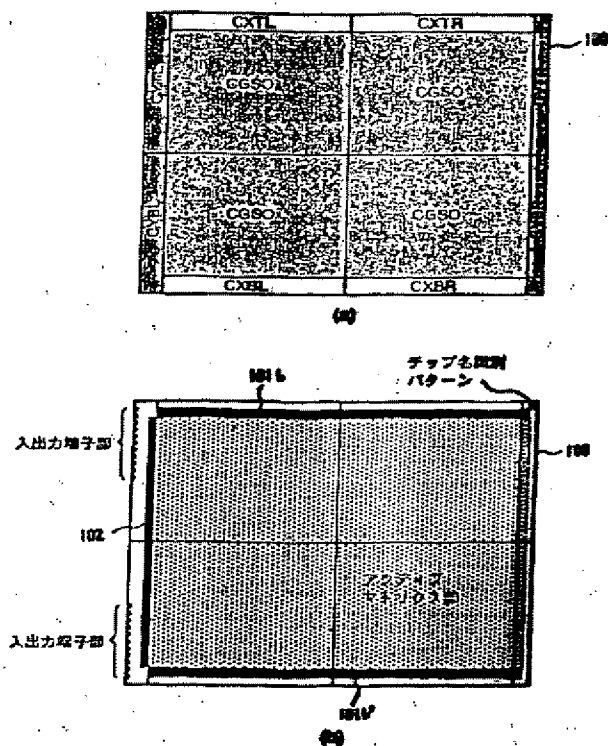
【圖6】



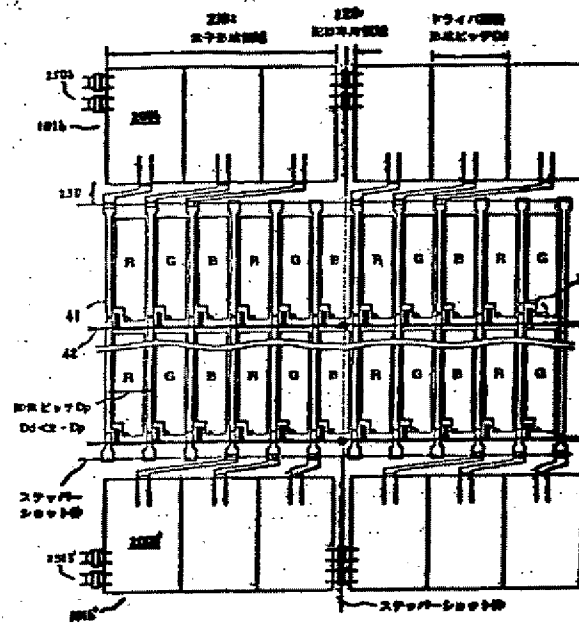
【圖 8】



【圖 7】



【図9】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.